

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-199878

(43)Date of publication of application : 31.07.1998

(51)Int.Cl.

H01L 21/318

H01L 29/78

(21)Application number : 09-005142

(71)Applicant : SONY CORP

(22)Date of filing : 16.01.1997

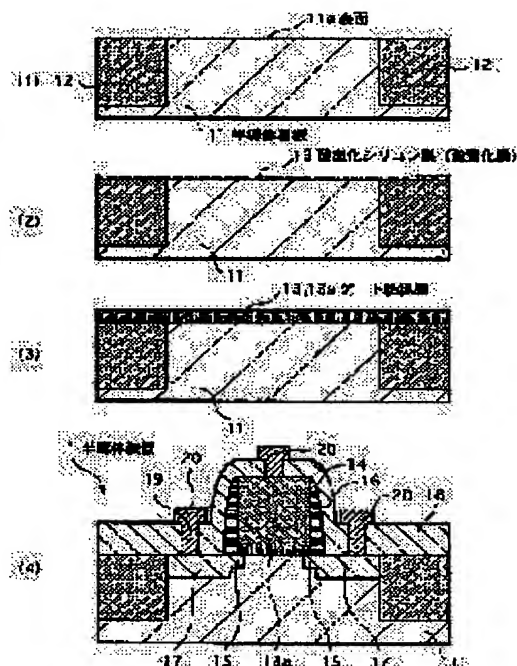
(72)Inventor : KATAOKA TOYOTAKA

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor device having a thin gate insulation film, having no distribution peak of N at the back surface but having a N concn. sufficiently high to avoid diffusion of B.

SOLUTION: By heat-treating in an NO atmosphere a thin nitride oxide film 13 having a high N concn. on the surface of a semiconductor, a substrate 11 is formed. By oxidizing, this film 13 is oxidized and grown at the back surface to form a gate insulating film 13a of the grown film 13. This provides a distribution peak of N at the front surface of the gate insulating film 13a. An MOS transistor having this thin insulation film 13a has a threshold voltage stabilized by blocking B from diffusion, and its current drive power is suppressed from deteriorating, because of the distribution peak of N located at the front surface of the gate insulating film 13a.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-199878

(43)公開日 平成10年(1998) 7月31日

(51)Int.Cl.⁶

H 0 1 L 21/318
29/78

識別記号

F I

H 0 1 L 21/318
29/78

C

3 0 1 G

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21)出願番号 特願平9-5142

(22)出願日 平成9年(1997) 1月16日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 片岡 豊▲陸▼

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

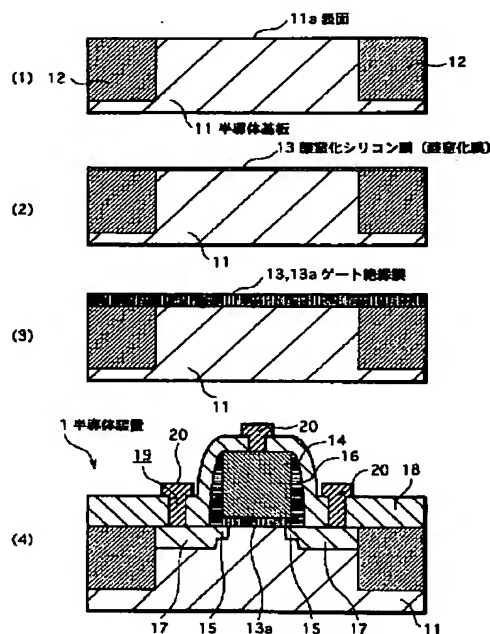
(74)代理人 弁理士 船橋 國則

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 ホウ素の拡散を防止可能な窒素濃度を有しながらも窒素の分布ピークが裏面側にない薄いゲート絶縁膜を有する半導体装置を得る。

【解決手段】 一酸化窒素雰囲気下での熱処理によって、半導体基板11の表面に窒素濃度が高くかつ薄い酸窒化膜13を成膜する。酸化処理を行うことによって、酸窒化膜13をその裏面側で酸化成長させ、酸化成長させた酸窒化膜13からなるゲート絶縁膜13aを形成する。これによって、窒素の分布ピークをゲート絶縁膜13aにおける表面側にする。このゲート絶縁膜13aを有するMOSトランジスタは、薄いゲート絶縁膜13aを有し、ゲート絶縁膜13a中の窒素によってホウ素の拡散が防止されてしきい電圧が安定化すると共に、窒素の分布ピークがゲート絶縁膜13aの表面側に位置することによって電流駆動能力の低下が抑えられたものになる。



第1実施形態及び第2実施形態の製造工程図

【特許請求の範囲】

【請求項1】 一酸化窒素雰囲気下での熱処理によって、半導体基板の表面に酸化窒素膜を成膜する工程と、酸化処理を行うことによって前記酸化窒素膜を酸化成長させ、前記半導体基板の表面層に酸化窒素膜からなる絶縁膜を形成する工程とを行うことを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、前記絶縁膜はゲート絶縁膜として形成することを特徴とする半導体装置の製造方法。

【請求項3】 半導体基板の表面を清浄化する工程と、窒素ガス雰囲気下での熱処理によって前記清浄化された半導体基板の表面に窒素膜を成膜する工程と、酸化処理を行うことによって前記窒素膜を酸化成長させ、前記半導体基板の表面層に酸化窒素膜からなる絶縁膜を形成する工程とを行うことを特徴とする半導体装置の製造方法。

【請求項4】 請求項3記載の半導体装置の製造方法において、前記絶縁膜はゲート絶縁膜として形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特にMOSプロセスにおいて薄いゲート絶縁膜を形成する半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、半導体装置の低消費電力化及び低電圧化が図られており、MOSトランジスタにおいては酸化シリコンからなるゲート絶縁膜を4nm以下に薄膜化することが要求されている。これにともない、CMOSプロセスにおいては、低い値で対称なしきい電圧を有するPMOSとNMOSとを同一基板上に形成することが求められている。このため、NMOSにはN型のポリシリコンゲートが用いられ、PMOSにはP型のポリシリコンゲートが用いられるようになってきている。

【0003】ところが、P型のポリシリコンゲートに含まれるホウ素原子は、後工程で行われる熱処理によって酸化膜からなるゲート絶縁膜中に拡散してシリコン基板にまで容易に達し、しきい電圧を変動させる要因になる。これは、低電圧化のためにゲート絶縁膜を4nm以下に薄膜化することにより顕著になる。この対策として、ゲート絶縁膜中に窒素を導入することが試みられており、酸化膜からなるゲート絶縁膜中の窒素濃度をおよそ 10^{21} atoms/cm³程度にすることで、ホウ素拡散の抑制効果が得られることが確認されている。

【0004】上記窒素含有の酸化膜（いわゆる酸化窒素膜）からなるゲート絶縁膜を成膜するには、酸化膜を成膜した後にアンモニア（NH₃）雰囲気中で窒素処理を

行うか、または、NH₃雰囲気中で窒素処理を行った後に酸化処理を行う方法がある。また上記方法とは別に、一酸化二窒素（N₂O）雰囲気中での酸化窒素処理と酸化処理とを組み合わせる方法や、N₂O雰囲気中での酸化窒素処理のみを行う方法がある。

【0005】

【発明が解決しようとする課題】しかし、上記ゲート絶縁膜の成膜方法には以下のような課題があった。すなわち、酸化膜を成膜した後にNH₃雰囲気中で窒素処理を行う場合には、形成されたゲート絶縁膜中に多量の水素が残留し、ホットエレクトロン耐性の低下や電流リークを引き起こす要因になる。また、NH₃雰囲気中で窒素処理を行った後に酸化処理を行う場合には、酸化処理の工程で膜中の水素が追い出される。しかし、水素の追い出しを十分に行うには、ある程度の酸化処理時間が必要になるため、ゲート絶縁膜の膜厚が厚膜化し、4nm以下の薄いゲート絶縁膜を得ることができない。

【0006】一方、N₂O雰囲気中での酸化窒素処理と酸化処理とを組み合わせる方法では、ホウ素拡散の抑制効果を得るだけの十分な窒素濃度を有するゲート絶縁膜を成膜するには、酸化窒素処理によって成膜する酸化窒素膜にある程度の膜厚が必要になる。このため、上記方法と同様にゲート絶縁膜が厚膜化し、4nm以下の薄いゲート絶縁膜を得ることができない。

【0007】またさらに、N₂O雰囲気中での酸化窒素処理のみでゲート絶縁膜を成膜する方法では、図4に示すように、得られたゲート絶縁膜における窒素原子の分布のピークが半導体基板とゲート絶縁膜との界面側に位置するようになる。これは、トランジスタの電流駆動能力を低下させる要因になる。

【0008】そこで、本発明は、ホウ素拡散の抑制効果が得られる程度の窒素濃度を有し、かつ半導体基板との界面側に窒素の分布ピークがない酸化窒素膜からなるゲート絶縁膜を、薄い膜厚で成膜することが可能な方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明は上記目的を達成するためになされた半導体装置の製造方法である。すなわち、第1の方法は、一酸化窒素（NO）雰囲気下での熱処理によって半導体基板の表面に酸化窒素膜を成膜した後、酸化処理を行うことによってこの酸化窒素膜を酸化成長させる。これによって半導体基板の表面層に酸化窒素膜からなる絶縁膜を形成する。この絶縁膜は、ゲート絶縁膜として形成する。

【0010】上記第1の方法では、NO雰囲気下で半導体基板の表面が酸化される。N₂O雰囲気下での酸化窒素で成膜される酸化窒素膜と比較して、NO雰囲気下での酸化窒素で成膜される酸化窒素膜は成膜膜厚に対する膜中の窒素濃度が高くなる。したがって、ホウ素の拡散を抑制しうることとなる。窒素濃度を高めるための成膜膜厚が、N₂O雰囲気

気下で酸化を行う場合よりも薄く設定される。そして、上記酸化処理後に酸化処理が行われることから、この酸化処理では上記酸化処理によって成膜された酸化膜の裏面側で半導体基板の酸化が進んで酸化膜が成長する。このため、成長した酸化膜中における窒素含有部分がその表面側に押し上げられる。したがって、この酸化膜からなる絶縁膜中において、半導体基板との界面側に窒素原子の分布ピークが配置されることはない。

【0011】また、第2の方法は、半導体基板の表面を清浄化した後、窒素ガス(N₂)雰囲気下での熱処理によって半導体基板の表面に窒化膜を成膜する。次に、酸化処理を行うことによって上記窒化膜を酸化成長させる。これによって半導体基板の表面層に酸化膜からなるゲート絶縁膜を形成する。

【0012】上記第2の方法では、N₂雰囲気下で半導体基板の清浄面が窒化される。N₂O雰囲気下での酸化やNO雰囲気下での酸化で成膜される酸化膜と比較して、N₂雰囲気下での窒化で成膜される窒化膜は成膜膜厚に対する膜中の窒素濃度がより高くなる。したがって、ホウ素の拡散を抑制しうる必要窒素量を得るための成膜膜厚が、上記第1の方法よりもさらに薄く設定される。そして、上記窒化処理後に酸化処理が行われることから、この酸化処理では上記窒化処理によって成膜された窒化膜の裏面側で半導体基板及び窒化膜の酸化が進む。このため、上記窒化膜が酸化膜として成長し、上記第1の方法と同様にこの酸化膜からなるゲート絶縁膜中において、半導体基板との界面側に窒素原子の分布ピークが配置されることはない。

【0013】

【発明の実施の形態】以下、本発明の半導体装置の製造方法をMOSトランジスタの製造方法に適用した第1及び第2の実施の形態を、図1(1)～図1(4)の製造工程図を用いて説明する。

【0014】(第1実施形態)図1(1)に示すように、例えばシリコンからなる半導体基板11の表面側に、素子分離12を形成する。この素子分離12は、通常のトレンチ法やLOCOS法によって形成する。

【0015】次に、図1(2)に示すように、一酸化窒素(NO)雰囲気下での急速熱処理(RTP: Rapid Thermal Process)によって、半導体基板11の表面層を酸化させ、半導体基板11の表面に例えば1nm程度の膜厚の酸化シリコン膜13を成膜する。上記NO雰囲気下での酸化条件の一例を以下に示す。

NOガス流量: 2slm(standard litter/mimutes),
基板加熱温度: 1000℃,
処理時間: 20秒,

【0016】その後、図1(3)に示すように、拡散炉内におけるウェット酸化処理を行い、上記酸化シリコン膜13を例えば4nmの膜厚にまで酸化成長させる。

以下に、上記酸化条件の一例を示す。

供給ガス及び流量: 水素ガス(H₂)/酸素ガス(O₂) = 5slm/5slm,

基板加熱温度: 850℃,

処理時間: 3分,

【0017】以上のようにして成膜した膜厚4nmの膜厚の酸化シリコン膜13をゲート絶縁膜13aとする。そして、図1(4)に示す以下の工程は、通常のMOSプロセスと同様に行う。すなわち、ゲート絶縁膜13a上にゲート電極14をパターン形成する。このゲート電極14は、PMOSトランジスタの形成領域においてはホウ素を含有するP型ポリシリコンで構成され、NMOSトランジスタの形成領域においてはリンやヒ素を含有するN型ポリシリコンで構成される。

【0018】その後、ゲート電極14をマスクに用いたイオン注入によって半導体基板11の表面層にLDD拡散層15を形成するための不純物を導入した後、ゲート電極14及びゲート絶縁膜13aの側壁にサイドウォール16を形成する。次に、ゲート電極14及びサイドウォール16をマスクに用いたイオン注入によって半導体基板11の表面層にソース/ドレイン17を形成するための不純物を導入した後、ゲート電極14及びサイドウォール16を覆う状態で層間絶縁膜18を形成する。次いで、層間絶縁膜18にコンタクトホール19を形成した後、ソース/ドレイン17、ゲート電極14にそれぞれ接続する配線20を形成して半導体装置1を完成させる。

【0019】上記第1実施形態の製造方法では、NO雰囲気下での酸化処理によって半導体基板11の表面に酸化シリコン膜13が成膜されることから、N₂O雰囲気下で成膜された酸化シリコン膜と比較して成膜膜厚に対する膜中の窒素濃度が高くなる。例えば、上記酸化処理と同様の条件でN₂Oを用いて成膜した酸化膜と比較して、上記第1実施形態の酸化処理で成膜される酸化シリコン膜13は窒素濃度が5～6倍でかつ膜厚が5～7割程度になる。このため、1nm程度の成膜膜厚で、ホウ素の拡散を抑制しうる必要窒素量を得ることができる。

【0020】そして、上記酸化処理後に酸化処理が行われることから、この酸化処理では上記酸化によって成膜された酸化シリコン膜13の裏面側で半導体基板11及び酸化シリコン膜13の酸化が進む。このため、酸化シリコン膜13中における窒素含有部分がその表面側に押し上げられる。したがって、図2のゲート絶縁膜13a中における酸素(O)及び窒素(N)の濃度プロファイルに示すように、酸化によって成長した酸化シリコン膜13(すなわちゲート絶縁膜13a)中の窒素原子の分布ピークはゲート絶縁膜13aの表面側になる。そして、ゲート絶縁膜13a中の窒素濃度は、 $1.0^{21} \text{ atoms/cm}^3$ 程度、すなわちホウ素の拡散

を防止できる濃度になる。

【0021】以上のように、上記ゲート絶縁膜13aはホウ素拡散の抑制効果が得られる程度の窒素濃度を有することから、このゲート絶縁膜13aを有する半導体装置1はPMOSトランジスタのゲート電極14からのホウ素拡散が抑制され、安定したしきい電圧を有するものになる。また、上記ゲート絶縁膜13aは窒素の分布ピークが半導体基板11との界面側には位置しないため、このゲート絶縁膜13aを有する半導体装置1はトランジスタの電流駆動能力が確保されたものになる。しかも、上記ゲート絶縁膜13aはその膜厚が4nmと薄いものであることから、このゲート絶縁膜13aを有する半導体装置1はしきい電圧が低く微細化が進んだものになる。

【0022】(第2実施形態)ここで説明する第2実施形態の製造方法と、上記第1実施形態との異なるところは、図1(3)で示した酸化処理の工程にある。すなわちここでは、第1実施形態でのウェット酸化に換えてドライ酸化を行う。

【0023】そこで、図1(1)、図1(2)を用いて説明した工程を上記第1実施形態と同様に行った後、図1(3)に示す工程では、拡散炉内でのドライ酸化によって酸化シリコン膜13を例えば4nmの膜厚にまで酸化成長させる。以下に、酸化条件の一例を示す。

供給ガス及び流量：酸素ガス(O₂)=2slm;

基板加熱温度：1000℃,

処理時間：3分,

【0024】以上のようにして成膜した膜厚4nmの酸化シリコン膜13をゲート絶縁膜13aとする。そして、図1(4)に示す工程を上記第1実施形態と同様にすることによって、半導体装置1を完成させる。

【0025】上記製造方法によっても、上記第1実施形態と同様の効果を得ることができる。

【0026】図3(1)～図3(4)は、本発明を適用した第3実施形態及び第4実施形態の製造工程図である。以下に、これらの図面を用いて第3実施形態及び第4実施形態を説明する。尚、上記第1実施形態及び第2実施形態と同様の構成要素には同様の符号を付し、重複する説明は省略する。

【0027】(第3実施形態)先ず、図3(1)に示すように、例えばシリコンからなる半導体基板11の表面層に素子分離12を形成した後、ここでは、半導体基板11の表面を清浄化する。ここで清浄化とは、半導体基板11の表面の自然酸化膜を除去し、半導体基板11のベア表面を露出させることとし、ここでは高真空中での熱処理によって上記清浄化を行うこととする。以下に、上記清浄化条件の一例を示す。

処理雰囲気内圧力：1.33×10⁻⁸Pa,

基板加熱温度：1100℃,

処理時間：2秒,

【0028】次に、図3(2)に示すように、窒素ガス(N₂)雰囲気下での熱処理によって、清浄化された半導体基板11の表面を窒化させる。ここでは、減圧雰囲気下で熱処理を行うこととし、半導体基板11の表面に1nm程度の膜厚の窒化シリコン膜31を成膜する。上記窒化条件の一例を以下に示す。

N₂ガス流量：100slm(standard cubic centimeter/minutes),

処理雰囲気内圧力：1.33×10⁻³Pa,

基板加熱温度：750℃,

処理時間：1.5時間,

【0029】その後、図3(3)に示すように、拡散炉中においてウェット酸化処理を行うことによって、窒化シリコン膜31を膜厚4nmの酸化シリコン膜32にまで酸化成長させる。酸化条件の一例を以下に示す。

供給ガス及び流量：H₂/O₂=5slm/5slm,

基板加熱温度：850℃,

処理時間：3分,

【0030】以上のようにして成膜した膜厚4nmの酸化シリコン膜32をゲート絶縁膜32aとする。そして、図3(4)に示す工程を、上記第1実施形態及び第2実施形態で図1(4)を用いて説明したと同様に行うことによってゲート絶縁膜32aを用いた半導体装置3を完成させる。

【0031】上記第3実施形態の製造方法では、N₂雰囲気下で半導体基板11の清浄面を窒化することから、半導体基板11の表面層には窒化シリコン膜31が成膜される。したがって、酸化シリコン膜を成膜する場合よりも成膜膜厚に対する膜中の窒素濃度が高くなり、ホウ素の拡散を抑制しうる必要窒素量を得るための成膜膜厚が、上記第1実施形態及び第2実施形態よりもさらに薄く設定される。このため、1nm程度の成膜膜厚で、ホウ素の拡散を抑制するに十分な必要窒素量を得ることができる。

【0032】そして、上記窒化処理後に酸化処理が行われることから、この酸化処理では窒化シリコン膜31の裏面側で半導体基板11及び窒化シリコン膜31の酸化が進む。このため、上記窒化シリコン膜31が酸化シリコン膜32として酸化成長し、この酸化シリコン膜32中における窒素含有部分がその表面側に押し上げられる。したがって、図2のゲート絶縁膜32a中における酸素及び窒素の濃度プロファイルに示すように、酸化シリコン膜(ゲート絶縁膜)32a中の窒素原子の分布ピークはゲート絶縁膜32aの表面側になる。そして、4nmにまで成長した酸化シリコン膜32からなるゲート絶縁膜32a中の窒素濃度は、上記第1実施形態及び第2実施形態よりも一桁程度高くなり、ホウ素の拡散が十分に防止される。

【0033】以上のことから、このゲート絶縁膜32aを有する半導体装置3は、上記第1実施形態及び第2実

施形態と同様の効果を有するものになるとともに、上記第1実施形態及び第2実施形態よりもさらに微細で低電圧化されたものとすることができる。

【0034】（第4実施形態）この第4実施形態と、上記第3実施形態との異なるところは、図3（3）で示した酸化処理の工程にある。すなわち、ここでは、第3実施形態でのウェット酸化に換えてドライ酸化を行う。

【0035】そこで、図3（1）、図3（2）を用いて説明した工程を上記第3実施形態と同様に行った後、図3（3）に示す工程では、拡散炉内におけるドライ酸化によって酸化シリコン膜32を例えば4nmの膜厚にする。以下に、酸化条件の一例を以下に示す。

供給ガス及び流量：酸素ガス（ O_2 ）= 2 s l m

基板加熱温度：1000℃、

処理時間：3分、

【0036】以上のようにして成膜した膜厚4nmの酸化シリコン膜32をゲート絶縁膜32aとする。そして、図3（4）に示す工程を上記第1実施形態と同様に行うことによって、半導体装置3を完成させる。

【0037】上記第4実施形態の製造方法によっても、上記第3実施形態と同様の効果を得ることができる。

【0038】尚、上記第3実施形態及び第4実施形態で行われる窒化処理は、ホウ素の拡散を抑制しうる必要窒素量が得られれば、窒化膜の成膜膜厚及び窒化条件は上記に限定されることはない。

【0039】また、上記各実施形態で説明した酸化処理は、RTO（急速熱酸化）によって行っても良く、この酸化処理によって得る最終的なゲート絶縁膜の膜厚は、トランジスタ特性によって設定され、上記各実施形態で示した4nmに限定されることはない。さらに、酸化化

処理または窒化処理によって成膜する膜厚は、ゲート絶縁膜中の必要窒素濃度によって設定され、上記各実施形態で示した1nmに限定されることはない。

【0040】

【発明の効果】以上説明したように、本発明の半導体装置の製造方法によれば、一酸化窒素雰囲気下で半導体基板表面の酸化を行なった後に酸化処理を行うか、清浄化した半導体基板表面を窒素ガス雰囲気下で窒化した後に酸化処理を行うことで、半導体基板との界面側に窒素の分布ピークを形成することなくホウ素の拡散を防止できる程度の窒素を含有する酸化膜からなる絶縁膜を薄い膜厚で成膜することが可能になる。したがって、薄いゲート絶縁膜を有しながらも、トランジスタの電流駆動能力を低下させことなく、しかも安定したしきい電圧を有する半導体装置を得ることができる。

【図面の簡単な説明】

【図1】第1実施形態及び第2実施形態の製造工程図である。

【図2】本発明によるゲート絶縁膜中の酸素及び窒素の濃度プロファイルである。

【図3】第3実施形態及び第4実施形態の製造工程図である。

【図4】従来方法によるゲート絶縁膜中の酸素及び窒素の濃度プロファイルである。

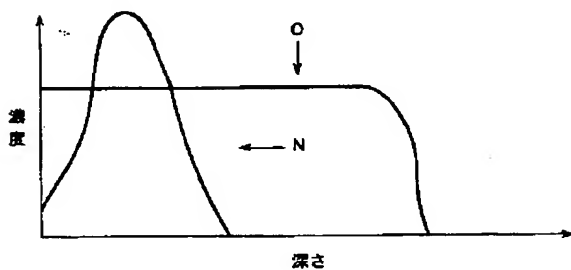
【符号の説明】

1, 3 半導体装置 11 半導体基板 11a 表面

13, 32 酸化シリコン膜（酸化膜）

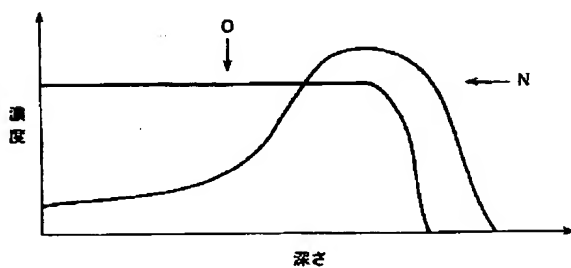
13a, 32a ゲート絶縁膜 31 窒化シリコン膜（窒化膜）

【図2】



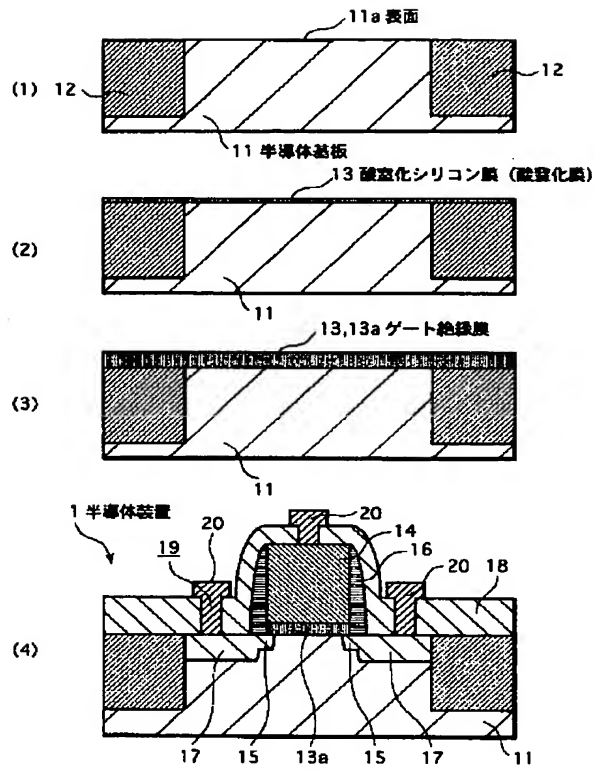
本発明によるゲート絶縁膜中の酸素及び窒素の濃度プロファイル

【図4】



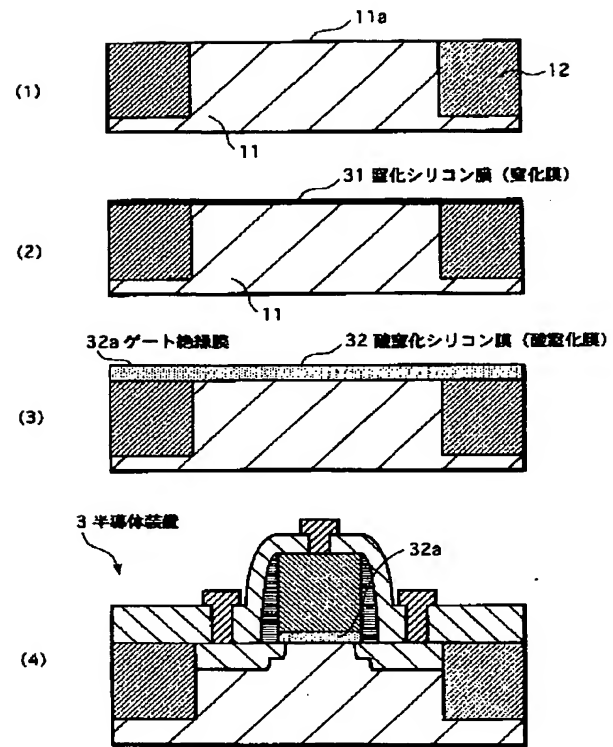
従来方法によるゲート絶縁膜中の酸素及び窒素の濃度プロファイル

【図1】



第1実施形態及び第2実施形態の製造工程図

【図3】



第3実施形態及び第4実施形態の製造工程図